



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Takuji Kato et al.
Serial No. : 10/785,471
Filed : February 24, 2004
Title : CIRCUIT DEVICE AND METHOD FOR MANUFACTURING THE SAME

Art Unit : Unknown
Examiner : Unknown

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

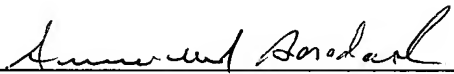
Applicants hereby confirm their claim of priority under 35 USC §119 from the Japanese Application No. 2003-052318 filed February 28, 2003.

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: 4/1/04

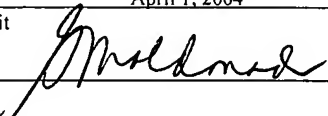

Samuel Borodach
Reg. No. 38,388

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, New York 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

30184464.doc

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Date of Deposit April 1, 2004

Signature

Gina Maldonado
Typed or Printed Name of Person Signing Certificate



14225-038001

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 2 月 2 8 日

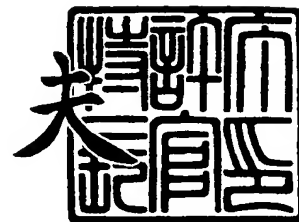
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 5 2 3 1 8
[ST. 10/C]: [J P 2 0 0 3 - 0 5 2 3 1 8]

出 願 人
Applicant(s): 三洋電機株式会社
関東三洋セミコンダクターズ株式会社

2 0 0 4 年 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 0 3 5 0

【書類名】 特許願

【整理番号】 KGA1030017

【提出日】 平成15年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 1/00

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 加藤 卓治

【発明者】

 【住所又は居所】 群馬県邑楽郡大泉町仙石二丁目2468番地1 関東三
洋セミコンダクターズ株式会社内

 【氏名】 落合 公

【発明者】

 【住所又は居所】 群馬県邑楽郡大泉町仙石二丁目2468番地1 関東三
洋セミコンダクターズ株式会社内

 【氏名】 渋沢 克彦

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【特許出願人】

 【識別番号】 301079420

 【氏名又は名称】 関東三洋セミコンダクターズ株式会社

 【代表者】 玉木 隆明

【代理人】

【識別番号】 100091605

【弁理士】

【氏名又は名称】 岡田 敬

【連絡先】 電話 0 2 7 6 - 3 3 - 7 6 5 1

【選任した代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【手数料の表示】

【予納台帳番号】 093080

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001614

【包括委任状番号】 0210358

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 回路装置およびその製造方法

【特許請求の範囲】

【請求項 1】 回路素子が封止樹脂により封止される回路装置に於いて、前記封止樹脂に堀込み部を設け、前記堀込み部に前記回路素子を収納させることを特徴とする回路装置。

【請求項 2】 前記回路素子は、前記封止樹脂により封止される第1の回路素子と、前記堀込み部に収納される第2の回路素子とから成り、前記第1の回路素子と前記第2の回路素子とは電氣的に接続されることを特徴とする請求項 1 記載の回路装置。

【請求項 3】 前記堀込み部の周辺部には接続端子が設けられ、前記回路素子はフェイスダウンで前記接続端子と電氣的に接続されることを特徴とする請求項 1 記載の回路装置。

【請求項 4】 前記第1の回路素子は信号処理を行う半導体素子であり、前記第2の回路素子は、前記第1の回路素子によって制御される記憶部を有する半導体素子であることを特徴とする請求項 1 記載の回路装置。

【請求項 5】 第1の回路素子が上部に固着されるアイランドと、前記アイランドの周囲に延在し且つ前記第1の回路素子と電氣的に接続される複数個のリードと、前記第1の回路素子、前記アイランドおよび前記リードを封止し且つ堀込み部を形成する封止樹脂と、前記堀込み部に収納される第2の回路素子とを具備することを特徴とする回路装置。

【請求項 6】 前記第1の回路素子と前記第2の回路素子との間には、両回路素子の電氣的接続を行うブリッジが設けられることを特徴とする請求項 5 記載の回路装置。

【請求項 7】 前記堀込み部の周辺部には接続端子となる前記リードおよび前記ブリッジの端部が露出し、前記接続端子に前記第2の回路素子がフェイスダウンで実装されることを特徴とする請求項 6 記載の回路装置。

【請求項 8】 前記第 1 の回路素子は信号処理を行う半導体素子であり、前記第 2 の回路素子は、前記第 1 の回路素子によって制御される記憶部を有する半導体素子であることを特徴とする請求項 5 記載の回路装置。

【請求項 9】 外部電極と電氣的に接続された第 1 の回路素子を封止樹脂で封止し、更に前記封止樹脂に掘込み部を設ける工程と、

前記掘込み部に第 2 の回路素子を収納させる工程とを具備することを特徴とする回路装置の製造方法。

【請求項 1 0】 前記第 1 の回路素子のテストを行った後に、前記第 2 の回路素子を収納させることを特徴とする請求項 9 記載の回路装置の製造方法。

【請求項 1 1】 前記掘込み部に設けた接続端子に前記第 2 の回路素子を載置し、リフローにより前記回路素子を実装する工程で、前記第 2 の回路素子の固着を行うことを特徴とする請求項 9 記載の回路装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、複数個の半導体装置等の回路素子を内蔵する回路装置およびその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

図 8 は、従来型の回路装置 1 0 0 の平面図であり、同図を参照してこの構造を説明する（特許文献 1 参照）。

【 0 0 0 3 】

回路装置 1 0 0 の中央部付近には、アイランド 1 0 1 が配置されている。矩形に形成されたアイランド上には、複数個の半導体素子 1 0 5 が固着されている。そして、アイランド 1 0 1 を囲むように複数個のリード 1 0 2 が延在している。リード 1 0 2 の一端はアイランド 1 0 1 に接近して、金属細線 1 0 3 により半導体素子 1 0 5 と電氣的に接続されている。またアイランド 1 0 2 の他端は、全体を封止する封止樹脂 1 0 4 から外部に延在して外部電極を形成している。

【 0 0 0 4 】

【特許文献 1】

特開平 5-121645 号公報

【0005】**【発明が解決しようとする課題】**

しかしながら、上述した従来型の回路装置 10 では、内蔵される全ての半導体素子 105 が封止樹脂 104 により封止されていた。また、半導体装置 105 のいずれかがメモリを有する半導体素子である場合、このメモリの変更に対して半導体素子の置き換えが必要となる。このことから、全ての半導体装置が樹脂封止されていることにより、従来型の回路装置 10 では半導体素子の組み替えが煩雑である問題があった。

【0006】

更に、複数の半導体素子 105 が内蔵されていることから、どちらかの半導体素子 105 に不良が発生した場合、回路装置 100 そのものが不良に成ってしまい、歩留の向上に限界がある問題があった。

【0007】

本発明は上記した問題を鑑みて成されたものであり、本発明の主な目的は、内蔵される回路素子を封止樹脂から露出した構造にすることにより、上述した問題を解決する回路装置を提供することにある。

【0008】**【課題を解決するための手段】**

本発明の回路装置は、複数の回路素子が封止樹脂により封止される回路装置に於いて、前記封止樹脂に掘込み部を設け、前記掘込み部に前記回路素子を収納させることを特徴とする。

【0009】

本発明の回路装置は、第1の回路素子が上部に固着されるアイランドと、前記アイランドの周囲に延在し且つ前記第1の回路素子と電氣的に接続される複数のリードと、前記第1の回路素子、前記アイランドおよび前記リードを封止し且つ掘込み部を形成する封止樹脂と、前記掘込み部に収納される第2の回路素子とを具備することを特徴とする。

【0010】

本発明の回路装置の製造方法は、外部電極と電氣的に接続された第1の回路素子を封止樹脂で封止し、更に前記封止樹脂に掘込み部を設ける工程と、前記掘込み部に第2の回路素子を収納させる工程とを具備することを特徴とする。

【0011】**【発明の実施の形態】**

図1を参照して、本発明の回路装置10Aの構成を説明する。図1(A)は回路装置10Aの斜視図であり図1(B)はその断面図である。

【0012】

図1(A)および図1(B)を参照して、一実施例としての回路装置10Aは、第1の回路素子15Aが上部に固着されるアイランド12と、アイランド12の周囲に延在し且つ第1の回路素子15Aと電氣的に接続される複数のリード11と、第1の回路素子15A、アイランド12およびリード11を封止し且つ掘込み部18を形成する封止樹脂16と、掘込み部18に収納される第2の回路素子15Bとを具備する。これら各構成要素を以下にて説明する。

【0013】

第1の回路素子15Aとしては、ここでは半導体装置が採用され、アイランド12上に接着剤を介して固着されている。そして、金属細線17を介して第1の回路素子15Aとリード11とは電氣的に接続されている。更に、ブリッジ13と第1の回路素子15Aとは、金属細線17を介して接続されている。また、第1の回路素子15Aとしては、信号処理を行う半導体素子を採用することができる。具体的には、テレビジョン等のディスプレイに表示される動画像を処理する回路を、第1の回路素子15Aに形成することができる。また、第2の回路素子15Bの記憶部等を制御する回路を、第1の回路装置15Aに形成しても良い。また、第1の回路素子15Aとしては半導体素子の他にも、抵抗やコンデンサ等の受動素子やダイオード等の能動素子を全般的に採用することができる。更にこれらの複数個が、第1の回路素子15Aとして採用されても良い。

【0014】

第2の回路素子15Bとしては、半導体素子を採用することができる。第2の

回路素子 1 5 B は、堀込み部 1 8 内部に露出したリード 1 1 およびブリッジ 1 3 に、半田等のロウ材を介したフェイスダウンで固着されている。ここで、第 2 の回路素子 1 5 B としては、R O M (Read Only Memory) 等の記憶部を有する半導体素子を採用することができる。具体的には、テレビジョン等の表示部に画像と重畳されて表示されるチャンネル数等の付加情報を、前記した R O M に内蔵させることができる。また、第 2 の回路素子としては、ベアの I C チップの他にも、半導体素子が内蔵された樹脂パッケージ品等を採用することも可能である。B G A (Ball Grid Array) 等のパッケージ品を第 2 の回路素子 1 5 B として採用する場合は、面実装により接続端子 1 4 に固着される。

【 0 0 1 5 】

封止樹脂 1 6 の材料としては、熱可塑性樹脂または熱硬化性樹脂を全般的に採用することができる。ここでは、第 1 の回路素子 1 5 A、第 2 の回路素子 1 5 B、アイランド 1 2、リード 1 1 およびブリッジ 1 3 が、封止樹脂 1 6 により封止されている。また、第 2 の回路素子 1 5 B が載置される領域には、封止樹脂 1 6 が部分的に削除された領域である堀込み部 1 8 が形成されている。

【 0 0 1 6 】

堀込み部 1 8 は、封止樹脂 1 6 が部分的に除去された領域であり、その大きさは、そこに収納される第 2 の回路素子 1 5 B よりも若干大きく形成される。また、堀込み部 1 8 の側辺部の 4 辺からは、リード 1 1 の端部およびブリッジ 1 3 の端部が露出して、第 2 の回路素子 1 5 B との接続端子と成っている。ここで、複数個の堀込み部 1 8 を設けることも可能である。

【 0 0 1 7 】

次に、図 2 を参照して、回路装置 1 0 A の平面的な構成を主に説明する。

【 0 0 1 8 】

アイランド 1 2 は、ロウ材の付着性、ボンディング性、メッキ性が考慮されてその材料が選択され、材料としては、C u を主材料とした金属、A l を主材料とした金属または F e - N i 等の合金から成る。また、アイランド 1 2 の上部には、接着剤を介して第 1 の回路素子 1 5 A が実装されている。

【 0 0 1 9 】

リード 11 は、上述したアイランド 12 と同一の材料から成り、一方がアイランド 12 に接近して内蔵される素子と接続され、他方が封止樹脂 16 から外部に露出して外部電極を形成している。ここでは、封止樹脂 13 の対向する 2 辺からリード 11 が導出して、DIP (Dual Inline Package) を形成している。しかしながら、QFP (Quad Flat Package) や QFN (Quad Flat Non-leaded package) 等の他の形態のパッケージ方法を本願に採用することも可能である。

【0020】

ブリッジ 13 は、第 1 の回路素子 15 A と第 2 の回路素子 15 B との間に複数個が配置され、両回路素子を電氣的に接続する働きを有する。また、個々のブリッジ 13 は電氣的に独立して設けられる。ここでは、金属細線 17 を介してブリッジ 13 の一方に第 1 の回路素子 15 A が接続されている。更に、半田等のろう材を介して、介してブリッジ 13 の他方には第 2 の回路素子 15 B が接続されている。

【0021】

図 3 を参照して、他の形態の回路装置の構成を説明する。図 3 (A) から図 3 (B) は、各形態の回路装置の断面図である。平面的な構成に関しては、上述した回路装置 10 と基本的には同様である。

【0022】

図 3 (A) を参照して回路装置 10 B の構成を説明する。ここでは、掘込み部 18 内部に於いて、ブリッジ 13 およびリード 11 の下方に封止樹脂が形成されている。他の構成は回路装置 10 A と同様である。

【0023】

図 3 (B) を参照して、回路装置 10 C の構成を説明する。ここでは、アイランド 12、ブリッジ 13 およびリード 11 は、実装基板 19 の表面に形成される、そして、実装基板 19 を貫通して設けられた外部電極 20 とリード 11 等は電氣的に接続されている。

【0024】

図 3 (C) を参照して、回路装置 10 D の構成を説明する。ここでは、アイランド 12、ブリッジ 13 およびリード 11 は、封止樹脂 16 に埋め込まれて形成

されている。また、リード 11 等の側面は湾曲に形成されており、封止樹脂 16 との密着が向上されている。

【0025】

次に図 4 から図 7 を参照して、図 1 に示した回路装置 10A の製造方法を説明する。

【0026】

まず、図 4 を参照して、金属板を成形することにより、アイランド 12、ブリッジ 13 およびリード 11 を形成する。この工程は、プレスまたはエッチングの工程等により行うことができる。ここで、アイランド 12 を固定するための吊りリードが設けられても良い。また、ブリッジ 13 は他の箇所との電氣的接続が成されていないので、接着テープ 21 にブリッジ 13 を貼り付けることで、ブリッジ 13 の固定を行うことができる。また、形成予定の掘込み部 18 の周囲には、ブリッジ 13 またはリード 11 の端部から成る接続端子が形成されている。

【0027】

次に、図 5 を参照して、第 1 の回路素子 15A の固着を行う。先ず接着剤を介してアイランド 12 に第 1 の回路素子 15A を固着する。次に、金属細線 17 を介して、リード 11 またはブリッジ 13 と第 1 の回路素子 15A との電氣的接続を行う。

【0028】

次に、図 6 を参照して、第 2 の回路素子 15B が接続される箇所の接続端子 14 の上面を保護しつつ、封止樹脂 13 による封止を行う。本工程は、熱可塑性樹脂を用いるインジェクションモールドまたは熱硬化性樹脂を用いるトランスファーマールドにより行うことができる。本工程で用いる金型は、上金型 22 および下金型 23 から成り、掘込み部 18 に対応した大きさである凸部 22A が上金型 22 に設けられている。更に、下金型 23 にも、上金型と同一の箇所に凸部 22A が設けられても良い。

【0029】

上金型 22 の凸部 22A の下面を、接続端子 14 の上面に当接させた状態で樹脂封止を行う。このことにより、接続端子 14 の上面に封止樹脂 13 が付着する

のを防止することができる。更に、接続端子 14 の上面を樹脂製のテープで保護した後に樹脂封止を行っても良い。また、本工程が終了した後に、電気的特性の測定を行って、第1の回路素子 15 A およびその接続箇所の良否を確認する。そして、この測定で良判定だったものだけを次工程に搬送する。従って、次工程でも良品の第2の回路素子 15 B のみが採用されるので、歩留まりを向上させることができる。

【0030】

次に、図7を参照して、掘込み部 18 に第2の回路素子 15 B を収納させる。具体的には、掘込み部 18 の4辺から内側に露出した接続端子 14 に、フェイスダウンでロウ材を介して第2の回路素子 15 B を固着する。以上の工程により、回路装置 10 A が製造される。

【0031】

また、本発明では、ロウ材による第2の回路素子 15 B の固着は行わずに、機械的に第2の回路素子 15 B を掘込み部 18 に収納させたのみで回路装置 10 A を出荷することもできる。この場合は、第2の回路素子 15 B の固着は行われていないものの、第2の回路素子 15 B は機械的に接続端子 14 に接触しているので、出荷時のテストは問題なく行うことができる。ロウ材による第2の回路素子 15 B の固着は、回路装置 10 A をマザー基板等に載置するリフローの工程で同時に行うことができる。従って、回路装置 10 A がセットに実装される最終工程まで、第2の回路素子 15 B の変更が可能となる。

【0032】

本発明の特徴は、回路装置 10 に掘込み部 18 を設け、この掘込み部 18 に第2の回路素子 15 B を外付けできる点にある。具体的には、信号処理を行う半導体素子である第1の回路素子 15 A は封止樹脂 13 に内蔵される。そして、設定情報等が記憶される記憶部を有する第2の回路素子 15 B が、上記した掘込み部 18 に外付けできる。従って、ユーザーにより設定情報が異なっても、ユーザー毎に第2の回路素子 15 B のみを準備することによって、他の部位が共通化して準備することができる。例えば、テレビジョン等の映像機器の制御モジュールを考えると、ユーザー毎に、チャンネルの番号を表示する字体やフォントの大きさ

が相違する。そこで、その情報を第 2 の回路素子 1 5 B に格納することにより、第 2 の回路素子 1 5 B を取り替えるのみで、ユーザーの要求に応じた制御モジュールとしての回路装置 1 0 を提供することができる。

【 0 0 3 3 】

【発明の効果】

本発明の回路装置によれば、全体を封止する封止樹脂 1 6 に設けた堀込み部 1 8 に、第 2 の回路素子 1 5 B を収納させることができる。従って、第 2 の回路素子 1 5 B の変更のみで、回路装置 1 0 の機能を変更することができる。

【 0 0 3 4 】

更に、R O M 等の記憶部を有する半導体素子を第 2 の回路素子 1 5 B として採用すると、ユーザー固有の情報を第 2 の回路素子 1 5 B に内蔵させることが可能となる。従って、信号処理素子である第 1 の回路素子 1 5 A を共通化して、第 2 の回路素子 1 5 B をユーザー毎に特化することで、第 2 の回路素子 1 5 B を変更するのみで、各ユーザーに対応可能になる。

【図面の簡単な説明】

【図 1】 本発明の回路装置を説明する斜視図（A）、断面図（B）である。

【図 2】 本発明の回路装置を説明する平面図である。

【図 3】 本発明の回路装置を説明する断面図（A）、断面図（B）、断面図（C）である。

【図 4】 本発明の回路装置を説明する平面図である。

【図 5】 本発明の回路装置の製造方法を説明する平面図（A）、断面図（B）である。

【図 6】 本発明の回路装置の製造方法を説明する断面図である。

【図 7】 本発明の回路装置の製造方法を説明する断面図である。

【図 8】 従来の回路装置を説明する平面図である。

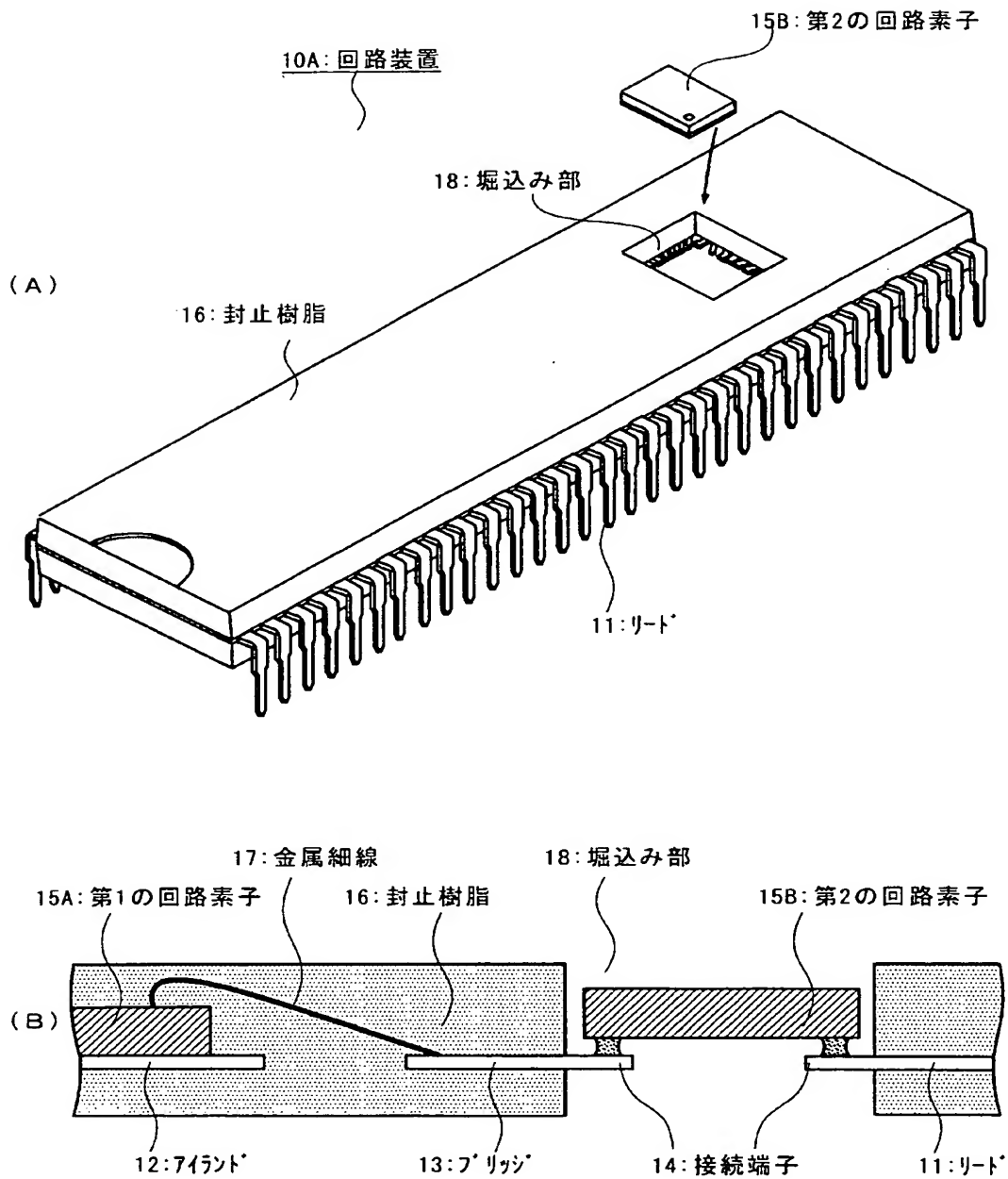
【符号の説明】

1 0	半導体装置
1 1	リード

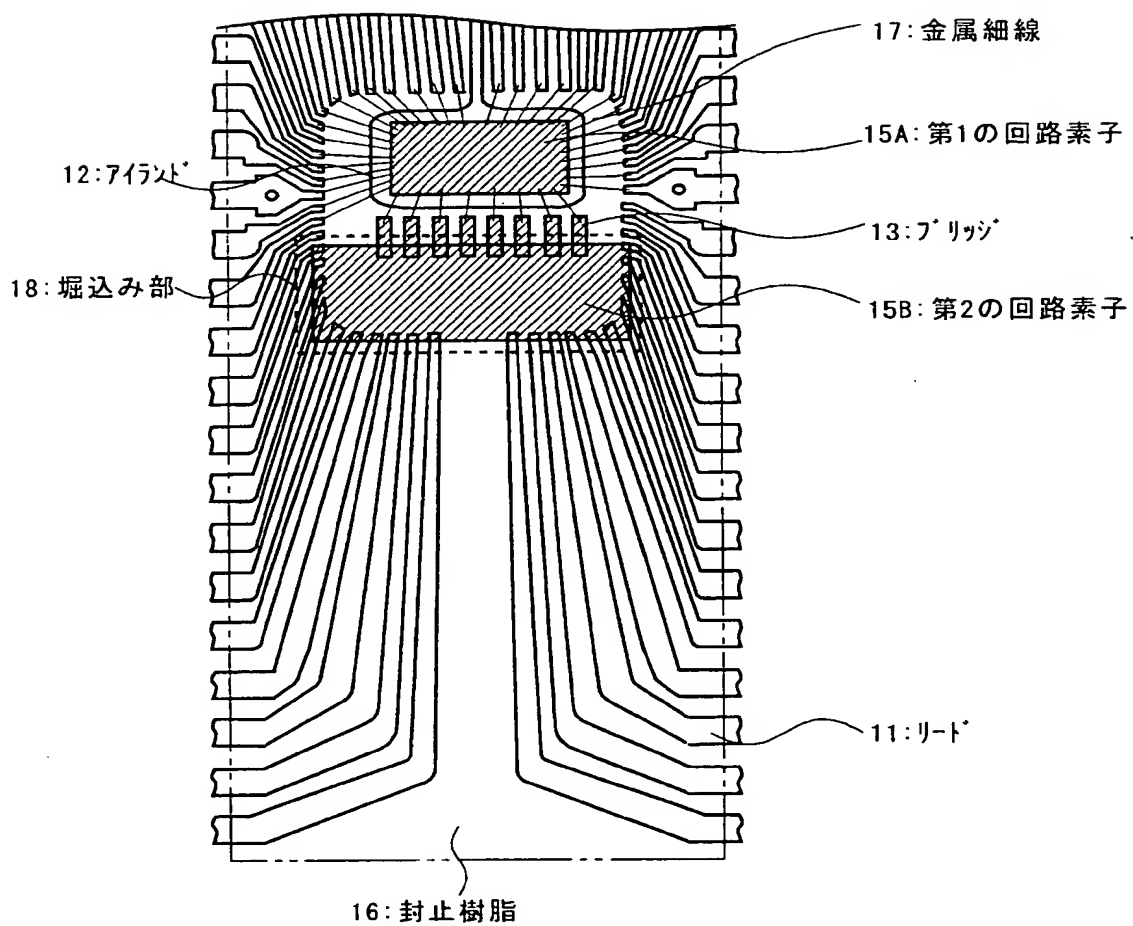
1 2	ランド
1 3	ブリッジ
1 4	接続端子
1 5 A	第1の回路素子
1 5 B	第 2 の回路素子
1 6	封止樹脂
1 7	金属細線
1 8	掘込み部

【書類名】 図面

【図 1】



【図 2】



18: 堀込み部

17: 金屬細線

15A: 第1の回路素子

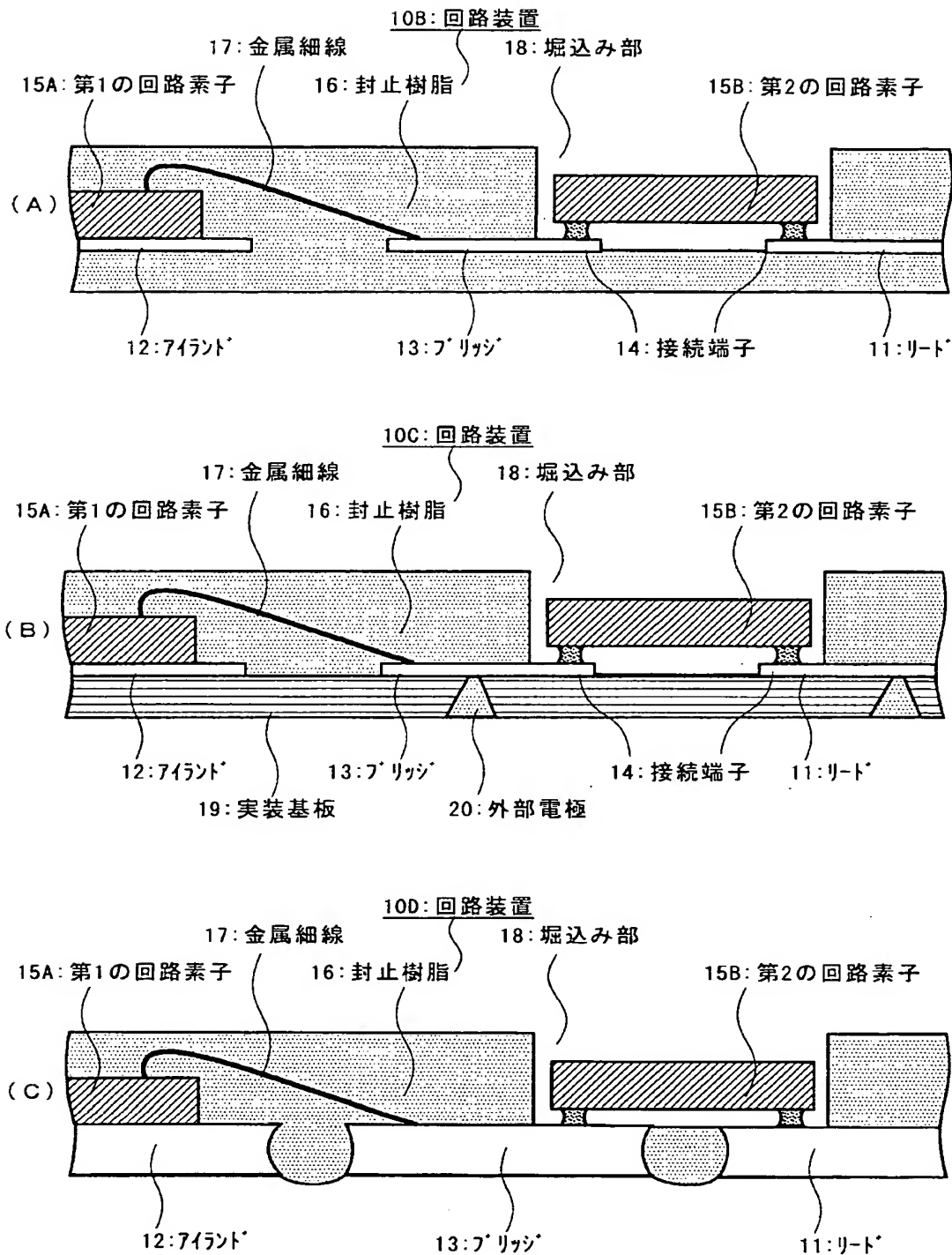
13:7 リッシ

15B: 第2の回路素子

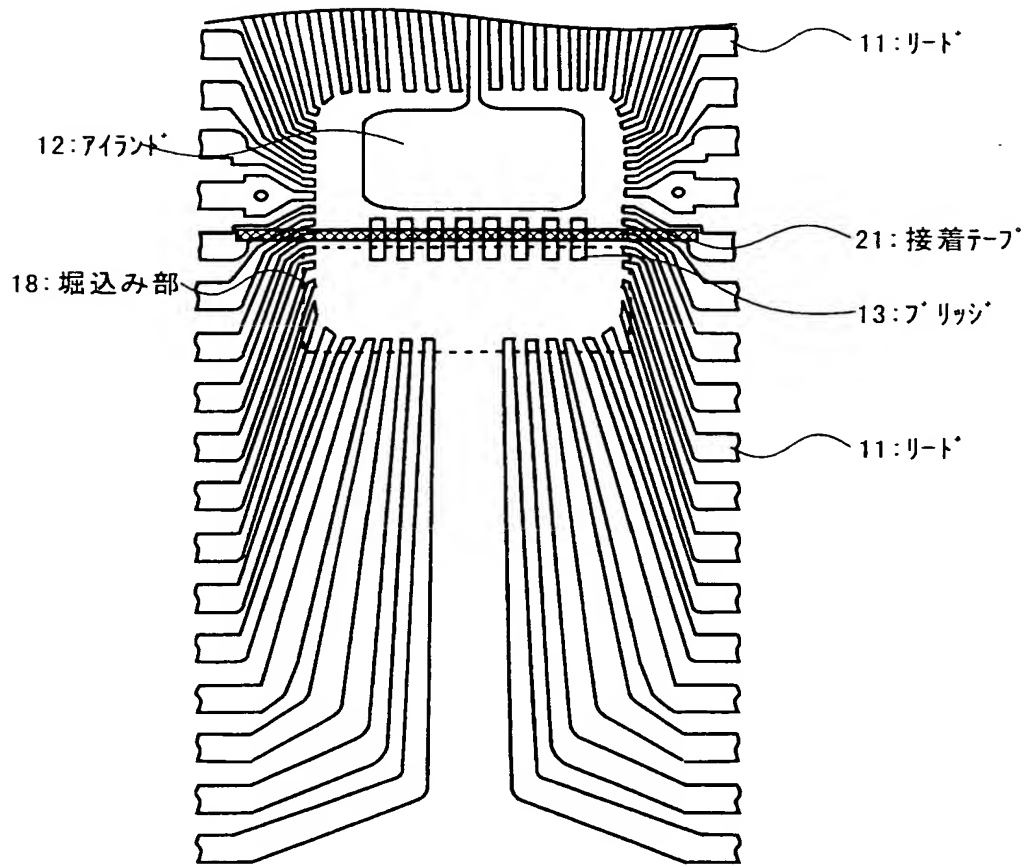
11: リート

16:封止樹脂

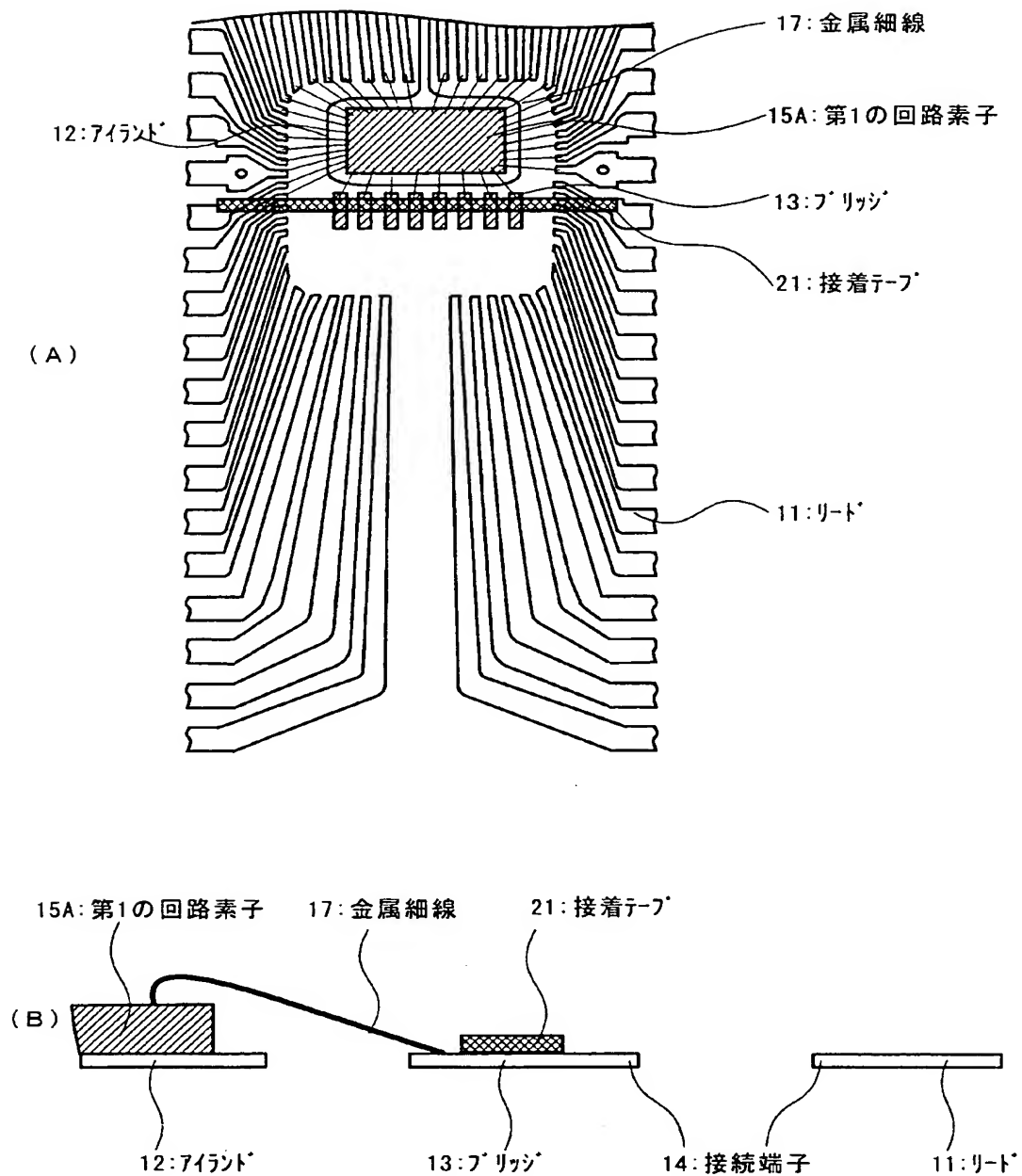
【図 3】



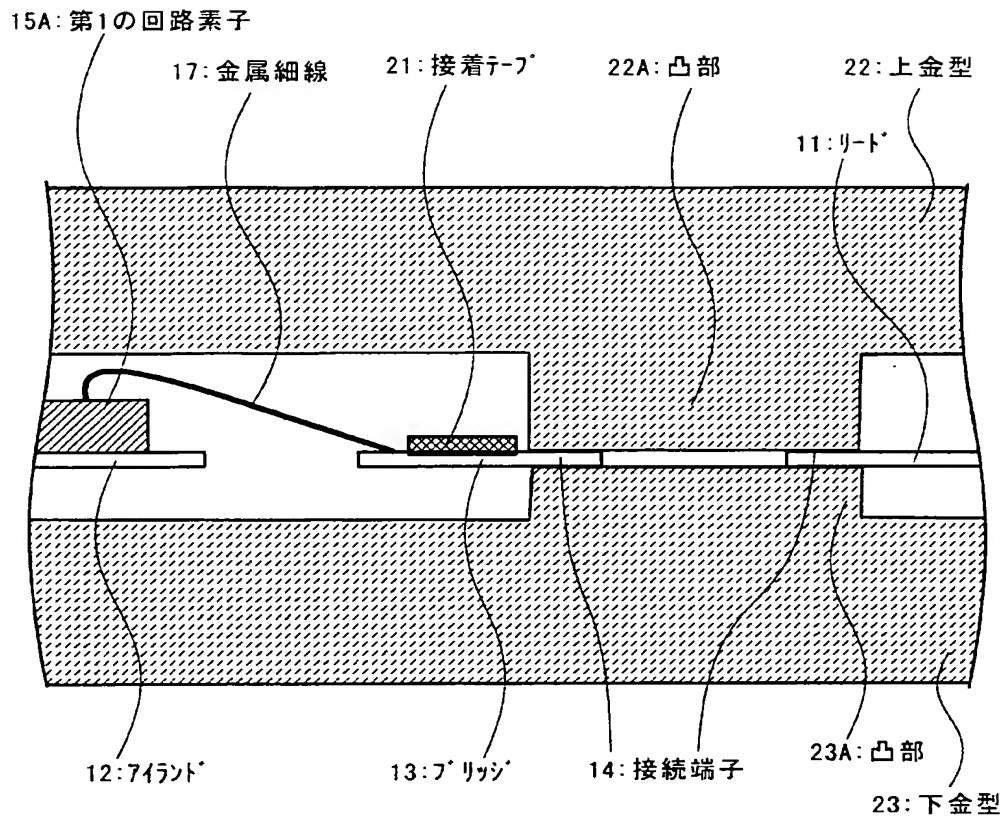
【図 4】



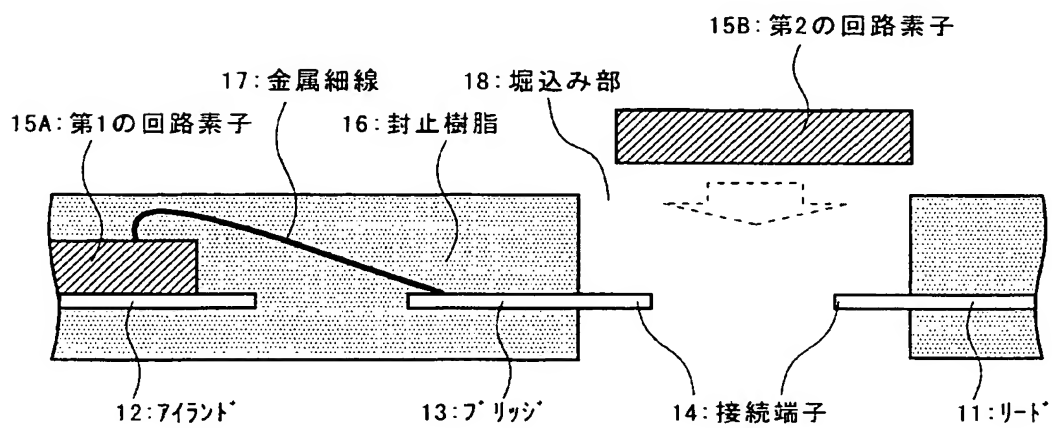
【図 5】



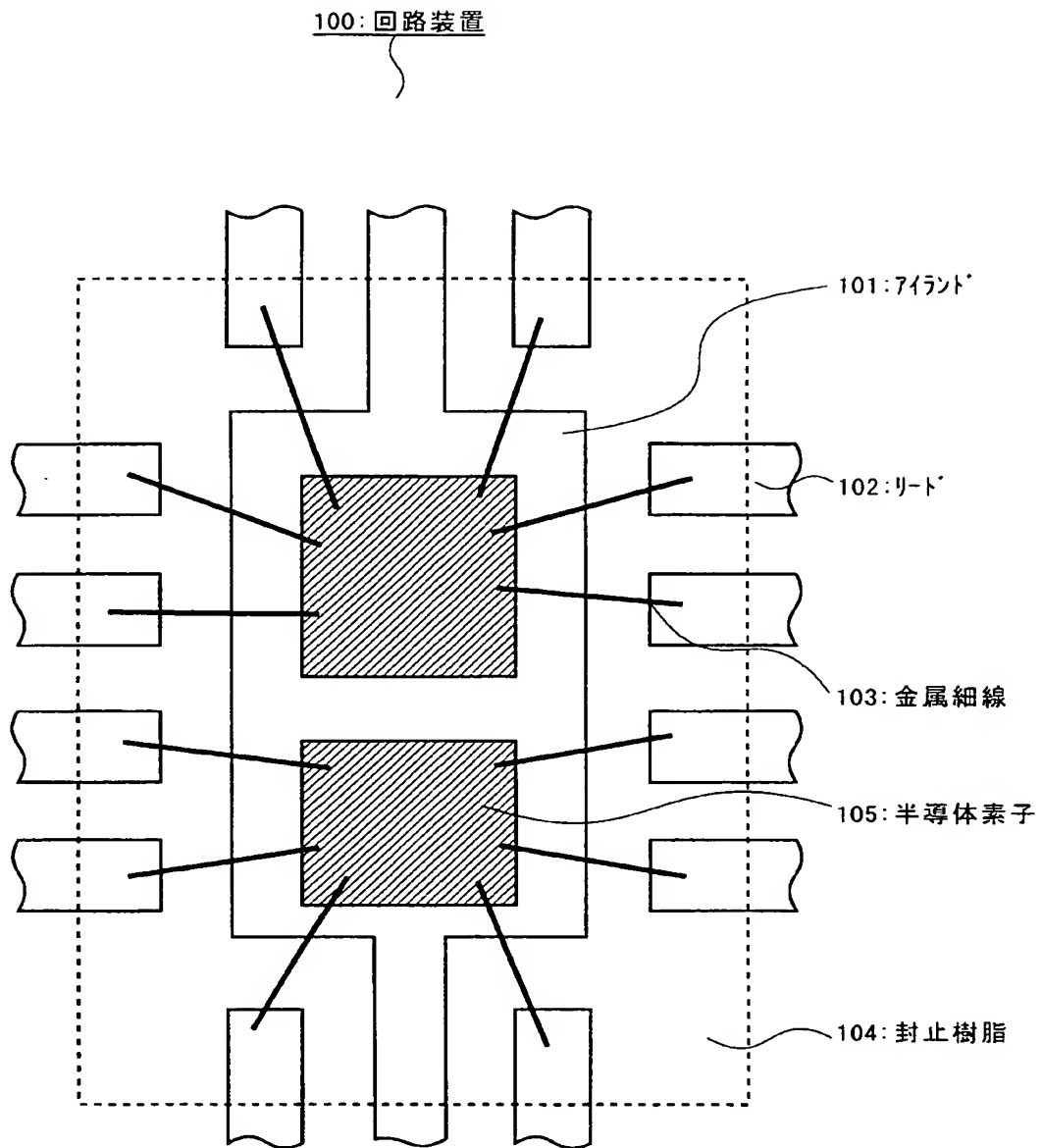
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 第 2 の回路素子 1 5 B を封止樹脂 1 6 から露出した構造の回路装置 1 0 を提供する。

【解決手段】 回路装置 1 0 A は、第 1 の回路素子 1 5 A が上部に固着されるアイランド 1 2 と、アイランド 1 2 の周囲に延在し且つ第 1 の回路素子 1 5 A と電氣的に接続される複数個のリード 1 1 と、第 1 の回路素子 1 5 A、アイランド 1 2 およびリード 1 1 を封止し且つ掘込み部 1 8 を形成する封止樹脂 1 6 と、掘込み部 1 8 に収納される第 2 の回路素子 1 5 B とを具備する。従って、第 2 の回路素子 1 5 B を外付けにすることができるので、実装時の自由度を向上させることができる。

【選択図】 図 1

特願 2 0 0 3 - 0 5 2 3 1 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 8 8 9]

1. 変更年月日	1 9 9 3 年 1 0 月 2 0 日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通 2 丁目 5 番 5 号
氏 名	三洋電機株式会社

特願 2 0 0 3 - 0 5 2 3 1 8

出 願 人 履 歴 情 報

識別番号 [3 0 1 0 7 9 4 2 0]

1. 変更年月日 2 0 0 2 年 6 月 2 4 日

[変更理由] 名称変更

住所変更

住 所 群馬県邑楽郡大泉町仙石二丁目 2 4 6 8 番地 1
氏 名 関東三洋セミコンダクターズ株式会社